

A2

**SEMICONDUCTOR DEVICE**

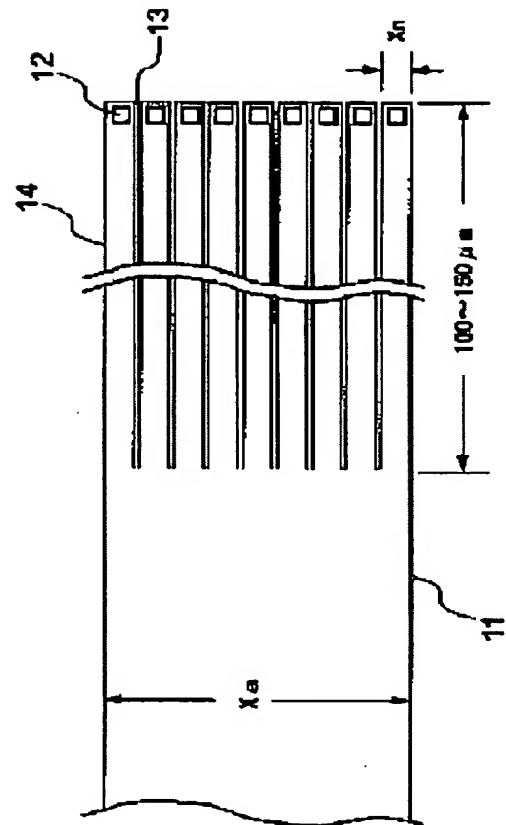
**Patent number:** JP2000049223  
**Publication date:** 2000-02-18  
**Inventor:** NAKAMURA MAKIKO  
**Applicant:** OKI ELECTRIC IND CO LTD  
**Classification:**  
- **international:** H01L21/768  
- **europaen:**  
**Application number:** JP19980215549 19980730  
**Priority number(s):**

**Also published as:**  
 US6166442 (A)

**Abstract of JP2000049223**

**PROBLEM TO BE SOLVED:** To provide a highly reliable semiconductor device that has long electromigration life for a wiring electrically connected to conductors in different layers by via holes.

**SOLUTION:** This semiconductor device has a structure that has a plurality of via holes 12 formed near the end, a first wiring 11 connected to conductors in different layers by the via holes 12 and a plurality of slits 13 that are formed parallel with respect to the direction, in which the first wiring 11 is extended and divide the first wiring into a plurality of second wiring 14 a predetermined distance from the end.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-49223

(P2000-49223A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 21/768

H 0 1 L 21/90

A 5 F 0 3 3

審査請求 未請求 請求項の数20 O L (全 7 頁)

(21) 出願番号 特願平10-215549

(22) 出願日 平成10年7月30日 (1998.7.30)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 中村 麻樹子

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74) 代理人 100089093

弁理士 大西 健治

Fターム(参考) 5F033 AA00 AA29 BA43 CA01 CA02

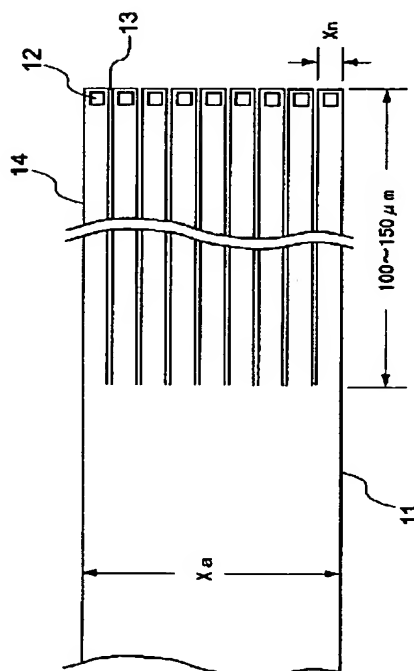
EA05 EA28

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 ピアホールによって異なる層の導体と電氣的に接続される配線のエレクトロマイグレーション寿命を長くさせた信頼性の高い半導体装置を得る。

【構成】 半導体装置を、端部近傍に複数のピアホール12が形成され、該ピアホール12によって図示しない異なる層の導体と接続される第1の配線11と、前記第1の配線11の延在方向に対して平行に設けられ、前記第1の配線11を前記端部から所定距離だけ複数の第2の配線14に分割する複数のスリット13とを有する構成にしたものである。



1

## 【特許請求の範囲】

【請求項 1】 端部近傍に複数のビアホールが形成され、該ビアホールによって異なる層の導体と接続される第 1 の配線と、

前記第 1 の配線の延在方向に対して平行に設けられ、前記第 1 の配線を前記端部から所定距離だけ複数の第 2 の配線に分割する複数のスリットとを有することを特徴とする半導体装置。

【請求項 2】 前記第 2 の配線はそれぞれ、少なくとも 1 以上の前記ビアホールが形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 の配線が前記複数の第 2 の配線に分割される前記端部からの所定距離は、100  $\mu\text{m}$  以上であることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記第 1 の配線の幅は 5  $\mu\text{m}$  以上であり、前記第 2 の配線の幅は 2  $\mu\text{m}$  以下であることを特徴とする請求項 1、2 および 3 記載の半導体装置。

【請求項 5】 前記スリットの幅は、後に上層キャップ膜を成膜可能な最小幅であることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 第 1 の配線と、  
前記第 1 の配線と異なる層で、かつ直角方向に延在する第 2 の配線と、

前記第 1 の配線の端部近傍と前記第 2 の配線の端部近傍とが交差する領域である接続領域と、

前記第 1 の配線の延在方向に対して平行に設けられ、前記第 1 の配線を該第 1 の配線の端部から所定距離だけ複数の第 3 の配線に分割する複数の第 1 のスリットと、  
前記第 2 の配線の延在方向に対して平行に設けられ、前記第 2 の配線を該第 2 の配線の端部から所定距離だけ複数の第 4 の配線に分割する複数の第 2 のスリットと、  
前記接続領域に形成され、前記複数の第 3 の配線と前記複数の第 4 の配線とをそれぞれ接続する複数のビアホールとを有することを特徴とする半導体装置。

【請求項 7】 前記第 3 および第 4 の配線はそれぞれ、少なくとも 1 以上の前記ビアホールが形成されていることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 前記端部からの所定距離はそれぞれ、100  $\mu\text{m}$  以上であることを特徴とする請求項 6 記載の半導体装置。

【請求項 9】 前記第 1 および第 2 の配線の幅は 5  $\mu\text{m}$  以上であり、前記第 3 および第 4 の配線の幅は 2  $\mu\text{m}$  以下であることを特徴とする請求項 6、7 および 8 記載の半導体装置。

【請求項 10】 前記第 1 および第 2 のスリットの幅はそれぞれ、後に上層キャップ膜を成膜可能な最小幅であることを特徴とする請求項 6 記載の半導体装置。

【請求項 11】 第 1 の配線と、  
前記第 1 の配線と異なる層で、かつ直角方向に延在する第 2 の配線と、

2

前記第 1 の配線の端部近傍と前記第 2 の配線の端部近傍とが交差する領域である接続領域と、

前記第 1 の配線の延在方向に対して平行に設けられ、前記第 1 の配線を該第 1 の配線の端部から所定距離だけ複数の第 3 の配線に分割する複数の第 1 のスリットと、  
前記第 2 の配線の延在方向に対して平行に設けられ、前記第 2 の配線を該第 2 の配線の端部から所定距離だけ複数の第 4 の配線に分割する複数の第 2 のスリットと、  
前記接続領域に形成され、前記複数の第 3 の配線と前記複数の第 4 の配線とをそれぞれ接続するために、該接続領域におけるそれぞれの電流経路距離が実質的に同じになるように配置される複数のビアホールとを有することを特徴とする半導体装置。

【請求項 12】 前記第 3 および第 4 の配線はそれぞれ、少なくとも 1 以上の前記ビアホールが形成されていることを特徴とする請求項 11 記載の半導体装置。

【請求項 13】 前記端部からの所定距離はそれぞれ、100  $\mu\text{m}$  以上であることを特徴とする請求項 11 記載の半導体装置。

【請求項 14】 前記第 1 および第 2 の配線の幅は 5  $\mu\text{m}$  以上であり、前記第 3 および第 4 の配線の幅は 2  $\mu\text{m}$  以下であることを特徴とする請求項 11、12 および 13 記載の半導体装置。

【請求項 15】 前記第 1 および第 2 のスリットの幅はそれぞれ、後に上層キャップ膜を成膜可能な最小幅であることを特徴とする請求項 11 記載の半導体装置。

【請求項 16】 前記複数のビアホールは、前記接続領域の対角線に沿って配置されていることを特徴とする請求項 11 記載の半導体装置。

【請求項 17】 第 1 の配線と、  
前記第 1 の配線と異なる層で、かつ直角方向に延在する第 2 の配線と、  
前記第 1 の配線と前記第 2 の配線の端部近傍とが交差する領域である接続領域と、

前記第 1 の配線の延在方向に対して平行に設けられ、前記第 1 の配線を前記接続領域含んで該延在方向へ第 1 の所定距離だけ複数の第 3 の配線に分割する複数の第 1 のスリットと、

前記第 2 の配線の延在方向に対して平行に設けられ、前記第 2 の配線を該第 2 の配線の端部から第 2 の所定距離だけ複数の第 4 の配線に分割する複数の第 2 のスリットと、

前記接続領域に形成され、前記複数の第 3 の配線と前記複数の第 4 の配線とをそれぞれ接続するために、該接続領域におけるそれぞれの電流経路距離が実質的に同じになるように配置される複数のビアホールとを有することを特徴とする半導体装置。

【請求項 18】 第 1 の配線と、  
前記第 1 の配線と異なる層で、かつ直角方向に延在する複数の第 2 の配線と、

50

## 3

前記第 1 の配線と前記複数の第 2 の配線の端部近傍とが交差する領域である接続領域と、

前記第 1 の配線の延在方向に対して平行に設けられ、前記第 1 の配線を前記接続領域含んで該延在方向へ所定距離だけ複数の第 3 の配線に分割する複数のスリットと、前記接続領域に形成され、前記複数の第 2 の配線と前記複数の第 3 の配線とをそれぞれ接続するために、該接続領域におけるそれぞれの電流経路距離が実質的に同じになるように配置される複数のビアホールとを有することを特徴とする半導体装置。

【請求項 19】 電極パッドと、

前記電極パッドと異なる層に形成される第 1 の配線と、前記電極パッドと前記第 1 の配線の端部近傍とが交差する領域である接続領域と、

前記第 1 の配線の延在方向に対して平行に設けられ、前記第 1 の配線を前記端部から所定距離だけ複数の第 2 の配線に分割する複数のスリットと、

前記接続領域に形成され、前記電極パッドと前記複数の第 2 の配線とをそれぞれ接続するために、該接続領域におけるそれぞれの電流経路距離が実質的に同じになるように配置される複数のビアホールとを有することを特徴とする半導体装置。

【請求項 20】 前記端部からの所定距離は、前記接続領域の前記第 1 の配線の延在方向の長さよりも長いことを特徴とする請求項 19 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係わり、特に、異なる層に形成される配線あるいは導体間をビアホールを用いて接続する配線構造における信頼性の向上に関するものである。

【0002】

【従来の技術】一般に、半導体装置におけるメタル配線は、使用する回路毎に応じて、アルミニウム合金、あるいはチタン (Ti) やチタンナイトライド (TiN) 等の高融点金属からなる膜厚 300～1000nm 程度の金属薄膜をホトリソグラフィ／エッチング技術によりパターンニングして形成している。このときの配線幅は、当該配線を流れる電流量によって定められる。配線の単位断面積あたりの電流量は、エレクトロマイグレーション故障を防止するために配線材料毎に決められている。これを許容電流密度という。例えば、配線に多くの電流を流したいときは、より幅広の配線を用いることになる。通常、幅広の配線は幅狭の配線に比べてエレクトロマイグレーション耐性が強いので、所定幅以上の配線においては単位断面積当りの電流量を増やしても信頼性を確保することができる。そこで最近では、幅広の配線の許容電流密度を大きくする場合が増えてきている。

【0003】

【発明が解決しようとする課題】しかしながら、最近の

## 4

多層配線化の流れの中で、配線の信頼性の保証はビアホール (via hole) を通じて電氣的に接続される 2 層以上の配線で行う必要がある。その場合、配線幅が広い工程エレクトロマイグレーション寿命が短くなることから、従来用いられていた幅広の配線の許容電流密度を大きくさせることが困難なばかりでなく、逆に、許容電流密度をより小さくせざるを得なくなっている。この結果、配線幅をさらに広くすることになり、デバイスの微細化あるいは高集積化に逆行してしまうという不都合が生じていた。

【0004】また、互いに直交して形成された上層配線と下層配線とをビアホールにて電氣的に接続する場合には、直交する領域の内角側に形成されるビアホール付近に電流集中が起り、その近傍でエレクトロマイグレーションによるボイドが発生し易いという不都合が生じていた。

【0005】

【課題を解決するための手段】本発明は、上記の課題を解決するためになされたものであり、半導体装置を、端部近傍に複数のビアホールが形成され、該ビアホールによって異なる層の導体と接続される第 1 の配線と、前記第 1 の配線の延在方向に対して平行に設けられ、前記第 1 の配線を前記端部から所定距離だけ複数の第 2 の配線に分割する複数のスリットとを有する構成にしたものである。

【0006】また、他の発明は、半導体装置を、第 1 の配線と、前記第 1 の配線と異なる層で、かつ直角方向に延在する第 2 の配線と、前記第 1 の配線の端部近傍と前記第 2 の配線の端部近傍とが交差する領域である接続領域と、前記第 1 の配線の延在方向に対して平行に設けられ、前記第 1 の配線を該第 1 の配線の端部から所定距離だけ複数の第 3 の配線に分割する複数の第 1 のスリットと、前記第 2 の配線の延在方向に対して平行に設けられ、前記第 2 の配線を該第 2 の配線の端部から所定距離だけ複数の第 4 の配線に分割する複数の第 2 のスリットと、前記接続領域に形成され、前記複数の第 3 の配線と前記複数の第 4 の配線とをそれぞれ接続する複数のビアホールとを有する構成にしたものである。

【0007】

【発明の実施の形態】第 1 の実施形態

図 1 は、本発明の第 1 の実施形態を示す説明図である。アルミニウム配線 (以下、金属配線という) 11 は、その端部近傍に形成された複数のビアホール 12 によって金属配線 11 とは異なる層に形成された図示しない導体と電氣的に接続されている。ここでいう導体とは、金属配線や電極パッド等である。金属配線 11 は、およそ 5  $\mu\text{m}$  以上の幅 Xa を持っており、端部から約 100～150  $\mu\text{m}$  の範囲に渡って複数のスリット 13 によって複数の金属配線 14 に分割されている。ここでの各金属配線 14 の幅 Xn は、およそ 2  $\mu\text{m}$  以下である。

5

【0008】複数本に分割された金属配線14と複数のスリット13とのトータル幅は、金属配線11の幅Xaと同じである。各スリット13の幅は、後に層間膜やパッシベーション膜等の上層キャップ膜が金属配線14間にボイドを発生させてしまうことなく成膜できる最小幅とするのが望ましい。この場合、隣り合う金属配線14はそれぞれ同一ノードであるため、配線間ショートが生じてても特に問題はない。このような配線パターンを形成後、スリット13を十分に埋めるために、プラズマCVDによって酸化膜を1000Å程度する。その後、SO<sub>2</sub>Gを塗布することによってスリット13を埋め込み、さらに、パッシベーション膜としてSiNを形成する。

【0009】図2は、金属配線の幅が3.6μm/ビアホールが5個の場合におけるエレクトロマイグレーション試験結果を示すグラフであり、図3は、金属配線の幅が1.44μm/ビアホールが2個の場合におけるエレクトロマイグレーション試験結果を示すグラフである。なお、図2の「5TH」、図3の「2TH」は、それぞれ、「5つのスルーホール（ビアホールと同意）」「2つのスルーホール（ビアホールと同意）」を表わしている。図2および図3に示すエレクトロマイグレーション試験は、配線の単位面積当りに流れる電流値、また、ビアホール1個当りに流れる電流値を同一としたものである。両グラフは、縦軸方向に抵抗増加率を、横軸方向に時間の経過を表わしており、各金属配線における抵抗増加の様子を見ることができる。

【0010】両グラフによれば、図2に示す幅の広い3.6μmの金属配線の方が図3に示す幅の狭い1.44μmの金属配線に比べて抵抗増加開始までの時間が短く、また、抵抗増加開始後のグラフの傾きも大きいことから急激な抵抗増が生じていることが理解できる。これは、幅の広い3.6μmの金属配線の方がエレクトロマイグレーションの影響をより受け易く、結果として、配線寿命がより短くなってしまうのである。このようことから、分割後の金属配線14の幅はおよそ2μm以下にすることが望ましいといえる。

【0011】図4は、幅広配線のエレクトロマイグレーション試験後の配線状態を示す説明図であり、図5は、幅狭配線のエレクトロマイグレーション試験後の配線状態を示す説明図である。ここで、幅狭配線の幅は2μm以下である。図4に示す幅広配線41では、黒塗部分として示すようにボイド42が配線端部から均一に生じていることが確認できる。このボイド42がビアホール43へ到達することにより、エレクトロマイグレーションによる故障ということになる。図5に示す幅狭配線51では、配線端部からできたボイド52、配線端部およびビアホール53から離れた箇所にできたボイド54、くさび形で小さいボイド55等、それぞれの幅狭配線51によってボイドの形成され方が異なっていることが確認できる。すなわち、幅狭配線51では全てが同時に故

6

障することがないため、より高い信頼性を得ることができる。

【0012】また、図示しないが、前述したエレクトロマイグレーション試験終了後（故障後）のアルミニウム配線の断面を観察してみると、ビアホールが形成されているカソード側配線端部からボイドが成長していることが確認できる。さらに、ビアホールによる接続部分から約50~100μm程度アノード側に、エレクトロマイグレーションによって移動したアルミニウム原子が溜まって配線表面が盛り上がり上がっていることも確認できる。すなわち、アルミニウム配線に対するエレクトロマイグレーションの影響は、ビアホールによる接続部分から約50~100μm程度の領域で支配的であるといえる。

【0013】このように本発明の第1の実施形態によれば、端部近傍にビアホールが形成される幅広配線を端部からエレクトロマイグレーションが支配的な所定距離だけスリットを設けることにより分割したので、配線のエレクトロマイグレーション寿命が長くなるとともに、同じ配線幅でより多くの電流を流すことが可能となる。この場合、スリットを設ける配線端部からの所定距離は、試験結果から約100μm以上が望ましいといえる。

【0014】なお、スリット13の幅を考えると、分割後の金属配線14のトータル幅n×Xnは、分割前の金属配線11の幅Xaより狭くなってしまふ。しかし、トータル幅が狭くなったことにより制限される電流量は、本発明の効果として得られたエレクトロマイグレーション寿命の向上により流せる電流量の増加分によって十分吸収できて余りあるものである。

【0015】第2の実施形態

図6は、本発明の第2の実施形態を示す説明図であり、図7は、要部拡大図である。金属配線61とその上層にある金属配線64は、それぞれの端部近傍が交差する領域である接続領域68に形成した複数のビアホール67によって電氣的に接続されている。金属配線61は、端部から約100~150μmの範囲に渡って複数のスリット63によって複数本の金属配線62に分割されている。ここでの各金属配線62の幅は、およそ2μm以下である。同様に、金属配線64は、端部から約100~150μmの範囲に渡って複数のスリット66によって複数本の金属配線65に分割されている。ここでの各金属配線65の幅は、およそ2μm以下である。

【0016】ビアホール67は、それぞれの金属配線62、65に少なくとも1つ以上形成され、接続領域68におけるそれぞれの電流経路距離が実質的に同じになるように配置される。図7は、接続領域68を拡大した図であり、それぞれの電流経路が矢印付き太線で示されている。本実施形態では、例えば、下層の最外側の配線71と上層の最内側の配線73、また、下層の最内側の配線72と上層の最外側の配線74をそれぞれ接続するこ

7

とにより、それぞれの電流経路距離がほぼ同じ長さになっている。したがって、各配線には均一の電流が流れるため、内角側に形成されるビアホール近傍で電流集中によるエレクトロマイグレーションの影響を受け易いという不都合が回避される。

【0017】一般に、ビアホール1個を流れる電流量には制限があるため、形成されるビアホール数は、配線を流れる電流量によって適宜選択する必要がある。本実施形態では、図6に示すように、複数のビアホール67を接続領域68の対角線上に形成している例を説明したが、必要に応じて、対角線に沿ってさらに多くのビアホールを形成することも可能である。

#### 【0018】第3の実施形態

図8は、本発明の第3の実施形態を示す説明図であり、図9は、本発明の第3の実施形態の他の例を示す説明図である。図8において、幅広の金属配線81とその上層にある複数の幅狭の金属配線84は、複数のビアホール85によって電気的に接続されている。幅広の金属配線81は、金属配線81と複数の金属配線84とが交差する（複数のビアホール85が形成される）領域である接続領域86を中心として約300 $\mu$ mの範囲に渡って複数のスリット83によって複数本の金属配線82に分割されている。ここでの各金属配線82の幅は、およそ2 $\mu$ m以下である。

【0019】複数のスリット83の数、複数のビアホール85の数やその配置は、幅狭の金属配線84の数に応じて決められる。すなわち、分割後の各金属配線82に対して電流が均等に流れるよう考慮される。本実施形態においては、接続領域86における複数のビアホール85は、電流経路に対して、下層の最外側の配線と上層の最内側の配線、また、下層の最内側の配線と上層の最外側の配線をそれぞれ接続するように配置されている。その結果、各配線における電流経路距離がほぼ同じ長さになっている。したがって、分割された各金属配線82には均一の電流が流れるため、内角側に形成されるビアホール近傍で電流集中によるエレクトロマイグレーションの影響を受け易いという不都合が回避される。

【0020】図9は第3の実施形態の他の例を示している。幅広の金属配線91とその上層にある複数の幅狭の金属配線94は、複数のビアホール95によって電気的に接続されている。幅広の金属配線91は、金属配線91と複数の金属配線94とが交差する（複数のビアホール95が形成される）領域である接続領域96を中心として約300 $\mu$ mの範囲に渡って複数のスリット93によって複数本の金属配線92に分割されている。ここでの各金属配線92の幅は、およそ2 $\mu$ m以下である。

【0021】図9では、接続領域96を図示する波線（中心線）にて2分割したと仮定して、各配線における電気的接続を行っている。具体的には、分割後の接続領域96の一方における複数のビアホール95は、電流経

8

路に対して、下層の最外側の配線と上層の最内側の配線、また、下層の最内側の配線と上層の最外側の配線をそれぞれ接続するように配置されている。さらに、分割後の接続領域96の他方においても同様である。その結果、各配線における電流経路距離がほぼ同じ長さになっている。したがって、分割された各金属配線92には均一の電流が流れるため、図8の例と同様の効果が期待できる。

#### 【0022】第4の実施形態

図10は、本発明の第4の実施形態を示す説明図であり、平面図および断面図を示している。金属配線101は、その端部近傍に形成された複数のビアホール105によってボンディングパット104と電気的に接続されている。金属配線101は、端部から複数のスリット103によって複数本の金属配線102に分割されている。金属配線101が分割される範囲は、ボンディングパット104との交差する領域である接続領域106より長くする。本実施形態では、約100～150 $\mu$ mの範囲に渡って金属配線101が分割されている。ここでの各金属配線102の幅は、およそ2 $\mu$ m以下が望ましいが、他層の金属配線幅やビアホール105の大小によって適宜選択する。

【0023】通常、ボンディングパットに形成される複数のビアホールは、ワイヤボンディングの信頼性を上げるためにボンディングパットの周辺部に沿って配置している。しかしながら、このような配置では接続される金属配線の延在方向に平行に配置されたビアホール近傍での電流集中が大きいこと、また、金属配線端部から成長するボイドによる故障が課題とされていた。

【0024】そこで本実施形態では、接続領域106を図示する波線（中心線）にて2分割したと仮定して、各金属配線102とボンディングパット104との電気的接続を行っている。具体的には、分割後の接続領域106の一方における複数のビアホール105は、その底部が金属配線101端部近傍になるような円弧状に配置されている。また、分割後の接続領域106の他方における複数のビアホール105は、波線に対して線対象の関係になるように配置されている。その結果、各配線102に流れる電流量をほぼ同じにすることができるとともに、金属配線101端部からのボイドの成長も生じにくくなる。したがって、より信頼性の高い半導体装置を提供することができる。

#### 【0025】

【発明の効果】以上詳細に説明したように、本発明の半導体装置によれば、ビアホールによって異なる層の導体と電気的に接続される幅広金属配線をエレクトロマイグレーションが支配的な所定距離だけスリットを設けることにより分割したので、配線のエレクトロマイグレーション寿命が長くなるとともに、同じ配線幅でより多くの電流を流すことが可能となる。

9

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態を示す説明図である。

【図 2】 エレクトロマイグレーション試験結果を示すグラフである。

【図 3】 他のエレクトロマイグレーション試験結果を示すグラフである。

【図 4】 幅広配線のエレクトロマイグレーション試験後の配線状態を示す説明図である。

【図 5】 幅狭配線のエレクトロマイグレーション試験後の配線状態を示す説明図である。

【図 6】 本発明の第 2 の実施形態を示す説明図である。

【図 7】 図 6 の要部拡大図である。

【図 8】 本発明の第 3 の実施形態を示す説明図である。

【図 9】 本発明の第 3 の実施形態の他の例を示す説明図である。

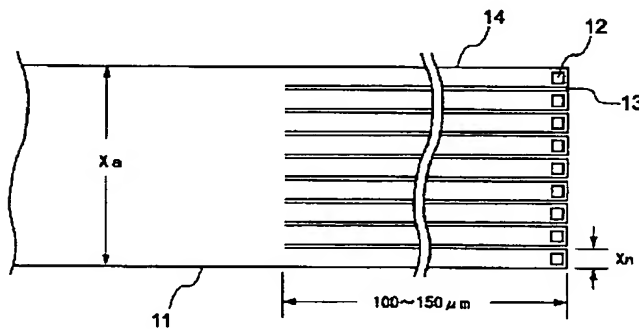
10

\* 【図 10】 本発明の第 4 の実施形態を示す説明図である。

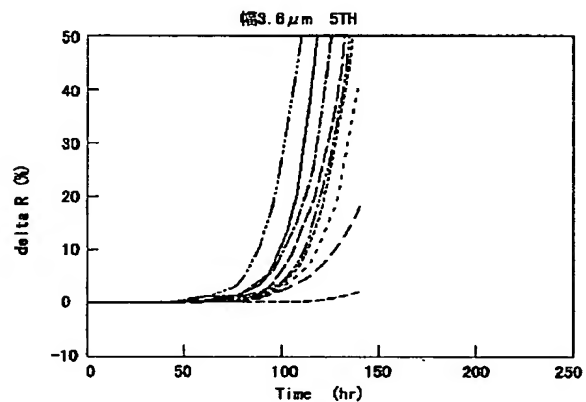
【符号の説明】

11、61、64、81、91、101	金属配線（幅広）
14、62、65、82、92、102	金属配線（幅狭）
12、67、85、95、105	ビアホール
13、63、66、83、93、103	スリット
68、86、96、106	接続領域
104	ボンディングパット

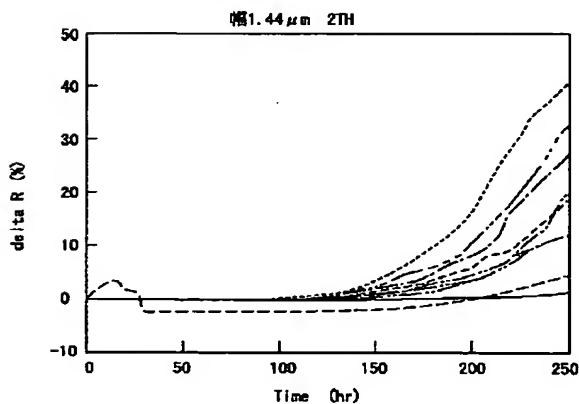
【図 1】



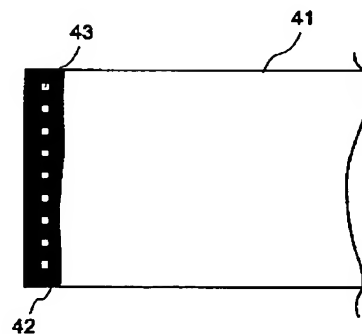
【図 2】



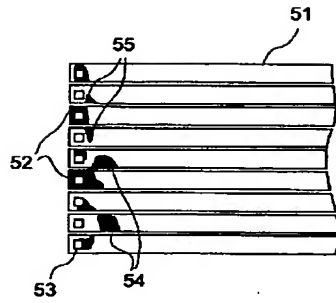
【図 3】



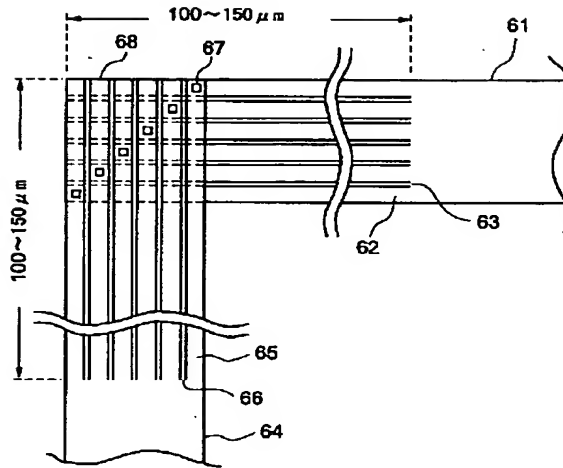
【図 4】



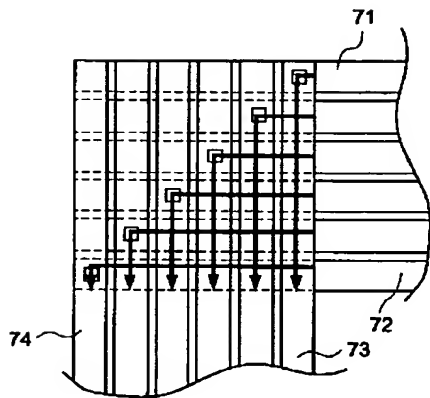
【図5】



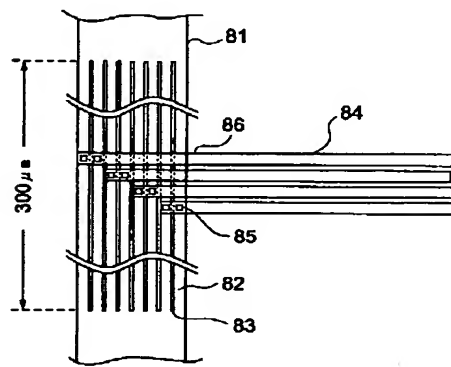
【図6】



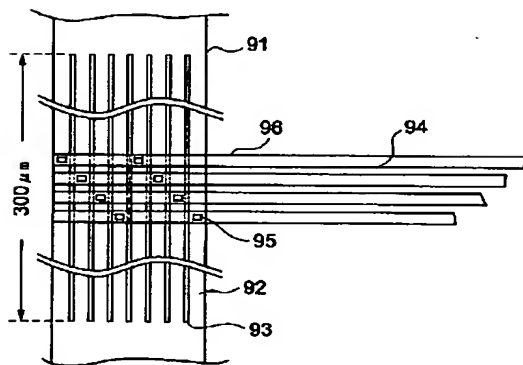
【図7】



【図8】



【図9】



【図10】

